

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the possible above-mentioned solid state camera of outputting the small criteria black level of especially variation about the solid state camera using an amplified type solid state image pickup device like CMD (Charge Modulation Device) or SIT (Static Induction Transistor) as a pixel.

[0002]

[Description of the Prior Art] Conventionally, the technique of shading by methods of asking for the criteria black level in the output signal of a solid state camera, such as covering a part of pixel group by the shading film as a method, and making the output signal of the shading pixel criteria black level is common.

[0003] The example of composition at the time of applying this method to the solid state camera using the CMD image pck-up element which this applicant proposed is explained. In addition, a CMD image pck-up element is a kind of photo transistor which modulates source drain current with the amount of charges which was generated by optical irradiation and accumulated under the gate electrode. JP, 61-84059, A, It was held in 1986. International The 353-356th of the collection of Electron Device Meeting (IEDM) drafts "A NEW MOS IMAGESENSOR OPERATEING IN A NON-DESTRUCIVE READOUT of a page It is the paper of the title MODE" and the content is described.

[0004] Next, the example of composition of the conventional solid state camera using this CMD image pck-up element is based and explained in the circuitry view of drawing 7. first, CMD 1-11 which constitutes each pixel, 1-12, and ... 1-MN is arranged in the shape of a matrix, and Bias VD (> 0) is impressed to each of that drain in common. The pixel array composition of the aforementioned matrix is M level N piece x perpendiculars, among those the pixel from five horizontals to N pieces is shaded, and 1A shows the shading pixel field. the gate terminal of the CMD group arranged in the direction of X -- the line line 2-1, 2-2, and ... the source terminal of the CMD group which connected with 2-M, respectively and was arranged in the direction of Y -- the train line 3-1, 3-2, and ... it connects with 3-N, respectively the above-mentioned train line 3-1, 3-2, and ... 3-N -- respectively -- the switch transistor 4-1 for train selection, 4-2, and ... 4-N and the switch transistor 5-1 for anti-selection, 5-2, and ... it connects with the reference line 7 grounded by the signal line 6 and the reference potential GND in common through 5-N, respectively. It connects with the current-voltage conversion type preamplifier 12 by which the artificial ground of the input was carried out, and the signal line 6 has become that the video signal of negative polarity read to time series at the output terminal 9 of a preamplifier 12.

[0005] 2-M is connected to the vertical-scanning circuit 10. moreover, the line line 2-1, 2-2, and ... respectively -- a signal $\phi G1$, $\phi G2$, and ... $\phi G M$ -- impressing -- the switch transistor 4-1 for train selection, 4-2, and ... 4-N and the switch transistor 5-1 for anti-selection, 5-2, and ... the gate terminal of 5-N the horizontal scanning circuit 11 -- connecting -- respectively -- a signal $\phi S1$, $\phi S2$, and ... $\phi S N$ and each reversal signal are impressed. In addition, although not illustrated, each CMD is formed on the same substrate and impresses the substrate voltage V_{SUB} to the substrate.

[0006] Drawing 8 is a signal wave form view for explaining operation of the solid state camera using the CMD image pck-up element shown in drawing 7. the operation of the vertical-scanning circuit 10 -- the line line 2-1, 2-2, and ... the signal $\phi G1$ impressed to 2-M, $\phi G2$, and ... $\phi G M$. The read-out voltage

VRD, the reset voltage VRST, the overflow voltage VOF, It consists of accumulation voltage VINT and sets in a non-choosing line. during the level life of a video signal And the accumulation voltage VINT It becomes the overflow voltage VOF during a horizontal-retrace-line period, and becomes the reset voltage VRST the read-out voltage VRD and during the horizontal retrace line during the level life of a video signal in a selection line. In addition, the aforementioned overflow voltage VOF is explained to JP,61-136388,A still in detail.

[0007] on the other hand -- the operation of the horizontal scanning circuit 11 -- the switch transistor 4-1 for train selection, 4-2, and ... the signal $\phi S1$ impressed to the gate terminal of 4-N, $\phi S2$, and ... ϕSN OFF of 4-N the train line 3-1, 3-2, and ... the signal for choosing 3-N -- a low -- the switch transistor 4-1 for train selection, 4-2, and ... ON of 5-N the switch transistor 5-1 for anti-selection, 5-2, and ... ON of 4-N a high level -- the switch transistor 4-1 for train selection, 4-2, and ... It is set up. the switch transistor 5-1 for anti-selection, 5-2, and ... so that it may become the voltage value which turns off 5-N the period when it reads to a selection line in and voltage VRD is impressed -- the switch transistor 4-1 for train selection, 4-2, and ... 4-N -- one by one -- turning on -- every -- the lightwave signal of a CMD pixel is read one by one by the signal line 6, by the preamplifier 12, voltage conversion is carried out and the signal current is outputted Drawing 9 expresses the video signal for one line outputted from the output terminal 9 of a preamplifier 12, and is the output period tI of the signal of a light-receiving pixel. The signal of a shading pixel is the output period tB continuously. Being read is shown.

[0008] In addition, ϕHST in drawing 7, $\phi H1$, and $\phi H2$ show the start signal and clock signal for driving the horizontal scanning circuit 11. Moreover, ϕVST , $\phi V1$, and $\phi V2$ show the start signal and clock signal for driving the vertical-scanning circuit 10, and $V1$, $V2$, and $V3$ show the input voltage which gives the read-out voltage VRD impressed to the gate of a CMD pixel, respectively, the reset voltage VRST, and the overflow voltage VOF.

[0009]

[Problem(s) to be Solved by the Invention] By the way, in the video signal shown in drawing 9, there is a clamping circuit as shown in drawing 10 in equivalent as a general circuit which sets up criteria black level. This clamping circuit inserts a capacitor 21 in series between I/O. between the outgoing end and reference potential GND It is the circuit which connected in series and constituted resistance 22, the switching device 23, and the clamp power supply 24. It is the shading pixel signal output period tB of the aforementioned video signal about the aforementioned switching device 23. They are ON and the light-receiving pixel signal output period tI inside. By making it turn off, the direct-current-voltage level of a shading pixel signal output is held to the voltage value VCL of the aforementioned clamp power supply 24. Moreover, the response to shading pixel output change of this clamping circuit is decided by the time constant of the series circuit of the capacity value C of the aforementioned capacitor 21, and the resistance R of the aforementioned resistance 22.

[0010] The dark current and the variation of the transistor characteristics of a CMD image pick-up element are included in the signal of the shading pixel outputted from the solid state camera shown in drawing 7 on the other hand. Therefore, when setting up criteria black level by the aforementioned clamping circuit, and the aforementioned time constant was set up small, it is influenced of the variation in a shading pixel output signal and the aforementioned video signal is outputted to a monitor, the fault that a lateral stripe can be seen arises. Although what is necessary is just to set up a time constant greatly in order to avoid this fault, for that, a long clamp period is taken, i.e., it is necessary to set up many numbers of level shading pixels, and becomes the cause of increasing a chip size.

[0011] this invention was made in order to cancel the above-mentioned trouble in the conventional solid state camera, and it aims to let variation offer the solid state camera to which small criteria black level is made to output, without increasing a chip size.

[0012]

[Means for Solving the Problem] In order to solve the above-mentioned trouble, invention according to claim 1 While forming a source field and a drain field so that source drain current may flow to this front face and parallel on the front face of a semiconductor layer The charge modulation element which prepared and constituted the gate electrode through the insulating layer on the front face of the semiconductor layer between this source field and a drain field is made into a pixel. The pixel array

which arranged a majority of these pixels in the shape of a matrix, and shaded the pixel of some two or more trains of the this arranged pixel group, In the solid state camera equipped with the scanning means which chooses each pixel of this pixel array one by one with a source gate selection method, and reads a pixel signal Two or more train lines connected to the pixel which carried out [aforementioned] shading are connected in common just before the 1st main electrode of the switch transistor for train selection connected to this train line, respectively. The 2nd main electrode of this switch transistor for train selection Connect with the reference potential of an output signal except for one piece, and the 2nd one main electrode removed the account of before is connected to a signal output line. And all the control terminals of the switch transistor for train selection connected to two or more train lines connected to the pixel which carried out [aforementioned] shading, respectively are connected in common, and by impressing the train selection pulse for shading pixel selection to this control terminal, it constitutes so that the signal output of a shading pixel may be obtained.

[0013] Next, the composition of the principal part of the solid state camera constituted in this way and the signal output of the shading pixel obtained based on the composition are explained using the schematic diagram shown in drawing 1 . drawing 1 -- setting -- train line 3-K, 3- (K+1), and ... the train line of the pixel which consisted of CMD image pck-up elements by which 3- (K+L) was shaded -- it is -- switch transistor 4-K for train selection, 4- (K+1), and ... just before connecting with 4- (K+L), the path cord 13 connects in common Furthermore, about train line 3-K, it connects with the signal line 6 through switch transistor 4-K for train selection. other train line 3-K (K+1), 3- (K+2), and ... 3- (K+L) respectively -- switch transistor 4-K for train selection (K+1), 4- (K+2), and ... it connects with the reference line 7 grounded by the reference potential GND in common through 4- (K+L), respectively The aforementioned signal line 6 is connected to the current-voltage conversion preamplifier 12 by which artificial ground was carried out like the conventional example.

[0014] thus, the constituted solid state camera -- setting -- train selection pulse ϕ_{SK} -- a high level -- becoming -- switch transistor 4-K for train selection, 4- (K+1), and ... the signal current of the shading pixel of the line chosen when 4- (K+L) turned on -- train line 3-K, 3- (K+1), and ... 3- (K+L) is flowed and these are added by the path cord 13 this addition current -- switch transistor 4-K for train selection, 4- (K+1), and ... it flows on a signal line 6 and the reference line 7 through 4- (K+L) this time -- the aforementioned train line 3-K, 3- (K+1), and ... since all the output impedances seen from 3- (K+L) are the same -- a signal line 6 -- train line 3-K, 3- (K+1), and ... the current of $1/(L+1)$ of the sum of the output signal of a shading pixel which flows to 3- (K+L) flows That is, train selection pulse ϕ_{SK} can obtain the average signal current which is the shading pixel of a selection line during a high level.

[0015] As explained above, in the solid state camera constituted as mentioned above, it cannot be based on the number of the shading pixels arranged in one line, but the average output can be obtained to a selection period. Moreover, the number of the grades which can cancel the variation by averaging is sufficient as the number of the shading pixels arranged in one line, and like the conventional example, since [which is not needed several pixel minutes] it is chosen as the time constant period of a clamping circuit, it becomes possible [being able to cut down the number of shading pixels, as a result reducing a chip size].

[0016] Moreover, in a solid state camera according to claim 1, invention according to claim 2 is continuously outputted with the train selection pulse for light-receiving pixel selection from a horizontal scanning circuit, and it constitutes the aforementioned train selection pulse for shading pixel selection so that it may have the same pulse width as this train selection pulse for light-receiving pixel selection. Thereby, the signal read-out period of the shading pixel used as criteria black level can be shortened to a 1-pixel selection period. Moreover, the horizontal scanning control means for the aforementioned train selection pulse for shading pixel selection being continuously outputted with the train selection pulse for light-receiving pixel selection from a horizontal scanning circuit, and invention according to claim 3 setting the width of face of the aforementioned train selection pulse for shading pixel selection as arbitrary periods in a solid state camera according to claim 1, are prepared. It cannot be based on the number of the shading pixels constituted by one line by this, but only the period according to the demand of a means which sets up criteria black level can output the average level of a shading pixel signal.

[0017]

[Example] Next, an example is explained. Drawing 2 is the circuitry view showing the 1st example of the solid state camera concerning this invention, and attaches and shows the same sign to the same component as the conventional example shown in drawing 7. CMD 1-11 which constitutes each pixel in this example, 1-12, and ... 1-MN is arranged in the shape of a matrix, and Bias VD (> 0) is impressed to each of that drain in common. The composition of the aforementioned matrix is M level N piece x perpendiculars, among those the pixel from five horizontals to N pieces is shaded. the gate terminal of the CMD group arranged in the direction of X -- the line line 2-1, 2-2, and ... the source terminal of the CMD group which connected with 2-M, respectively and was arranged in the direction of Y -- the train line 3-1, 3-2, and ... it connects with 3-N, respectively the above-mentioned train line 3-1, 3-2, and ... 3-1 connected to the light-receiving pixel among 3-N, 3-2, and ... 3-4 respectively -- the switch transistor 4-1 for train selection, 4-2, and ... 4-4 and the switch transistor 5-1 for anti-selection, 5-2, and ... it connects with the reference line 7 grounded by the signal line 6 and the reference potential GND in common through 5-4, respectively

[0018] on the other hand -- the above-mentioned train line 3-1, 3-2, and ... the train line 3-5 connected to the shading pixel among 3-N, 3-6, and ... 3-N [just before connecting with 5-N] the switch transistor 4-5 for train selection, 4-6, and ... 4-N and the switch transistor 5-5 for anti-selection, 5-6, and ... A path cord 13 connects in common and connects with a signal line 6 through the switch transistor 4-5 for train selection further. moreover, the switch transistor 4-6 for train selection and ... 4-N and the switch transistor 5-5 for anti-selection, 5-6, and ... it connects with the reference line 7 grounded by the reference potential GND in common through 5-N. It connects with the current-voltage conversion type preamplifier 12 by which the artificial ground of the input was carried out, and the signal line 6 is constituted so that the video signal of negative polarity may be read from the output terminal 9 of a preamplifier 12 to time series.

[0019] 2-M is connected to the vertical-scanning circuit 10. moreover, the line line 2-1, 2-2, and ... respectively -- a signal $\phi G1$, $\phi G2$, and ... ϕGM -- impressing -- the switch transistor 4-1 for train selection, 4-2, and ... 4-N and the switch transistor 5-1 for anti-selection, 5-2, and ... among the gate terminals of 5-N the train line 3-1 connected to the light-receiving pixel, 3-2, and ... the switch transistor 4-1 for train selection connected to 3-4, 4-2, and ... 4-4 and the switch transistor 5-1 for anti-selection, 5-2, and ... 5-4 the horizontal scanning circuit 11 -- connecting -- respectively -- a signal $\phi S1$, $\phi S2$, and ... $\phi S4$ and each reversal signal are impressed the train line 3-5 connected to the shading pixel on the other hand, 3-6, and ... the switch transistor 4-5 for train selection connected to 3-N, 4-6, and ... 4-N and the switch transistor 5-5 for anti-selection, 5-6, and ... it connects with the horizontal scanning circuit 11, and 5-N impresses a signal $\phi S5$ and its reversal signal in common. In addition, although not illustrated, each CMD is formed on the same substrate, and it is constituted so that the substrate voltage V_{SUB} may be impressed to the substrate.

[0020] Since the signal wave form for explaining operation of the solid state camera of this example is completely the same as the signal wave form of the conventional example shown in drawing 8, signal read-out operation of this example is explained using the signal wave form view shown in drawing 8. a line line chooses -- having -- the train selection pulse $\phi S1$, $\phi S2$, and ... $\phi S4$ by the high level and the bird clapper one by one. If the signal of a light-receiving pixel is read and the train selection pulse $\phi S5$ is succeedingly set to a high level the switch transistor 4-5 for train selection, 4-6, and ... the signal current which is the shading pixel of the line which 4-N turned on and was chosen -- the train line 3-5, 3-6, and ... 3-N is flowed and these are added by the path cord 13 this addition current -- the switch transistor 4-5 for train selection, 4-6, and ... it flows on a signal line 6 and the reference line 7 through 4-N this time -- the aforementioned train line 3-5, 3-6, and ... since all the output impedances seen from 3-N are the same, to a signal line 6, the current of $1/(n-4)$ of the sum of the output signal of a shading pixel which flows on the aforementioned train line flows. That is, the train selection pulse $\phi S5$ can obtain the average signal current which is the shading pixel of a selection line during a high level. Drawing 3 expresses the video signal for one line outputted from the output terminal 9 of the preamplifier 12 explained above.

[0021] Thus, in the constituted solid state camera, it cannot be based on the number of the shading pixels arranged in one line, but the signal read-out period of the shading pixel used as criteria black level can be shortened to a 1-pixel selection period. That is, when the clamping circuit shown in the

conventional example as a means to set up criteria black level is used, even if it sets up the time constant of this clamping circuit short, the influence of the variation in a shading pixel signal can be avoided. Moreover, by averaging, the number of the shading pixels arranged in one line requires only the number of the grades which can cancel the variation, and like the conventional example, since it does not need several pixel minutes, it can perform the thing which is chosen as the time constant period of a clamping circuit and which cut down the number of shading pixels.

[0022] Next, the 2nd example of this invention is explained. Drawing 4 is the circuitry view showing the 2nd example, attaches and shows the same sign to the same component as the 1st example shown in drawing 2, and omits the explanation. The portion which is different from the 1st example is a point constituted so that the clock pulse $\phi H1$ impressed to the horizontal scanning circuit 11 and $\phi H2$ may be impressed through the horizontal scanning control circuit 14. Operation of this example is completely the same as the 1st example until a line line is chosen and the horizontal scanning circuit 11 outputs train selection pulse $\phi S4$.

[0023] Next, operation whose horizontal scanning circuit 11 outputs the train selection pulse $\phi S5$ is explained using the signal wave form view of drawing 5. ** [an output of the train selection pulse $\phi S5$ / suspend / the output of the horizontal scanning clock pulse $\phi H1$ / the aforementioned horizontal scanning control circuit 14] Thereby, if the train selection pulse $\phi S5$ is held by the high level and the aforementioned horizontal scanning control circuit 14 makes the output of the horizontal scanning clock pulse $\phi H1$ resume, synchronizing with this, the train selection pulse $\phi S5$ will be set to a low in the meantime. That is, the point which is on the 1st example and operation and is different is a point that the period when the signal of the equalized shading pixel is outputted is decided by operation of the horizontal scanning control circuit 14.

[0024] Thus, in the constituted solid state camera, it cannot be based on the number of the shading pixels arranged in one line, but the signal read-out period of the shading pixel used as criteria black level can be set as arbitrary time for a horizontal scanning control circuit to set up. That is, as shown in drawing 6, only the period according to the demand of a means which sets up criteria black level can output the average level of a shading pixel signal.

[0025] In addition, in this example, although what controlled only the horizontal scanning clock pulse $\phi H1$ as the control method of a horizontal scanning was shown, control of the horizontal scanning clock pulse $\phi H2$ is sufficient, and it cannot be overemphasized that both may be controlled.

[0026] Moreover, although the shading pixel train showed what has been arranged in the position chosen after a light-receiving pixel train is chosen in time in the two above-mentioned examples, even if it arranges a shading pixel train in the position chosen before a light-receiving pixel train is chosen, it cannot be overemphasized that the effect of each example does not change.

[0027]

[Effect of the Invention] As explained based on the example above, according to invention according to claim 1, it cannot be based on the number of the shading pixels arranged in one line, but the average output can be obtained to a selection period. Moreover, by averaging, the number of the shading pixels arranged in one line requires only the number of the grades which can cancel the variation, and like the conventional example, since it does not need several pixel minutes, it can perform the thing which is chosen as the time constant period of a clamping circuit and which can cut down the number of shading pixels, as a result reduces a chip size. Moreover, according to invention according to claim 2, the signal read-out period of the shading pixel used as criteria black level can be shortened to a 1-pixel selection period. Moreover, according to invention according to claim 3, the horizontal scanning control means for controlling a horizontal scanning clock pulse cannot twist in the number of the shading pixels constituted by one line, but only the period according to the demand of a means which sets up criteria black level can output the average level of a shading pixel signal.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-37155

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	C
H 0 1 L 27/146			H 0 1 L 27/14	A

審査請求 未請求 請求項の数3 F D (全 8 頁)

(21)出願番号 特願平7-201850

(22)出願日 平成7年(1995)7月17日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 溝口 豊和

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

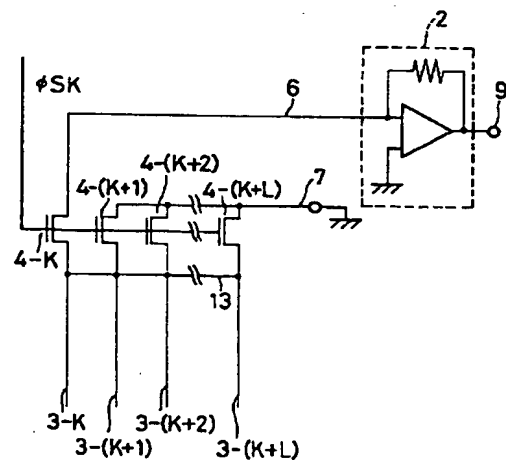
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 チップサイズを増大させることなくバラツキが小さい基準黒レベルを出力させる固体撮像装置を提供する。

【構成】 遮光されたCMD画素に接続された列ライン3-K, 3-(K+1), … 3-(K+L)を、列選択用スイッチトランジスタ4-K, 4-(K+1), … 4-(K+L)に接続される直前において、接続線13によって共通に接続し、更に列ライン3-Kは列選択用スイッチトランジスタ4-Kを介して信号線6に接続し、列ライン3-(K+1), 3-(K+2), … 3-(K+L)はそれぞれ列選択用スイッチトランジスタ4-(K+1), 4-(K+2), … 4-(K+L)を介して基準電位GNDに接地されたレファレンス・ライン7に共通に接続し、信号線6は電流-電圧変換プリアンプ12に接続して、固体撮像装置を構成する。



3-K, 3-(K+1) … 3-(K+L):列ライン
4-K, 4-(K+1) … 4-(K+L):列選択用スイッチトランジスタ
6:信号線
7:レファレンス・ライン
9:出力端子
12:電流-電圧変換プリアンプ
13:接続線

1

【特許請求の範囲】

【請求項 1】 半導体層の表面に該表面と平行にソース・ドレイン電流が流れるようにソース領域及びドレイン領域を形成すると共に、該ソース領域とドレイン領域間の半導体層の表面に絶縁層を介してゲート電極を設けて構成した電荷変調素子を画素とし、該画素をマトリクス状に多数配列し、該配列した画素群の一部の複数の列の画素を遮光した画素アレイと、該画素アレイの各画素をソース・ゲート選択方式により順次選択して画素信号を読み出す走査手段とを備えた固体撮像装置において、前記遮光した画素に接続された複数の列ラインを、該列ラインにそれぞれ接続される列選択用スイッチトランジスタの第 1 の主電極の直前で共通に接続し、該列選択用スイッチトランジスタの第 2 の主電極は、1 個を除き出力信号の基準電位に接続し、前記除いた 1 個の第 2 の主電極は信号出力線に接続し、且つ前記遮光した画素に接続された複数の列ラインにそれぞれ接続された列選択用スイッチトランジスタのすべての制御端子を共通に接続し、該制御端子に遮光画素選択用列選択パルスを印加することによって遮光画素の信号出力を得るように構成したことを特徴とする固体撮像装置。

【請求項 2】 前記遮光画素選択用列選択パルスは、水平走査回路より受光画素選択用列選択パルスと連続して出力され、該受光画素選択用列選択パルスと同じパルス幅をもっていることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記遮光画素選択用列選択パルスは、水平走査回路より受光画素選択用列選択パルスと連続して出力され、前記遮光画素選択用列選択パルスの幅を任意の期間に設定するための水平走査制御手段を備えていることを特徴とする請求項 1 記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CMD (Charge Modulation Device) や SIT (Static Induction Transistor) のような増幅型固体撮像素子を画素として用いた固体撮像装置に関し、特にバラツキの小さい基準黒レベルを出力することの可能な上記固体撮像装置に関する。

【0002】

【従来の技術】従来、固体撮像装置の出力信号における基準黒レベルを求める方式としては、画素群の一部を遮光膜で覆うなどの方法で遮光し、その遮光画素の出力信号を基準黒レベルとする手法が一般的である。

【0003】この方式を、本件出願人が提案した CMD 撮像素子を用いた固体撮像装置に適用した場合の構成例について説明する。なお、CMD 撮像素子は、光照射により生成されゲート電極下に蓄積された電荷量によりソース・ドレイン電流を変調する一種のフォトトランジスタで、特開昭 61-84059 号公報や、1986 年に

2

開催された International Electron Device Meeting (IEDM) 予稿集の第 353 ~ 356 頁の "A NEW MOS IMAGESENSOR OPERATEING IN A NON-DESTRUCTIVE READOUT MODE" という題名の論文で、その内容が記述されている。

【0004】次に、かかる CMD 撮像素子を用いた従来の固体撮像装置の構成例を、図 7 の回路構成図に基づいて説明する。まず、各画素を構成する CMD 1-11, 1-12, ... 1-MN をマトリクス状に配列し、その各ドレインには共通にバイアス $V_D (> 0)$ を印加する。前記マトリクスの画素アレイ構成は水平 N 個 \times 垂直 M 個で、そのうち水平 5 個から N 個までの画素は遮光されており、1A は遮光画素領域を示している。X 方向に配列された CMD 群のゲート端子は、行ライン 2-1, 2-2, ... 2-M にそれぞれ接続し、Y 方向に配列された CMD 群のソース端子は、列ライン 3-1, 3-2, ... 3-N にそれぞれ接続されている。上記列ライン 3-1, 3-2, ... 3-N は、それぞれ列選択用スイッチトランジスタ 4-1, 4-2, ... 4-N 及び反選択用スイッチトランジスタ 5-1, 5-2, ... 5-N を介して、信号線 6 及び基準電位 GND に接地されたレファレンス・ライン 7 にそれぞれ共通に接続されている。信号線 6 は入力が仮想接地された電流-電圧変換型のブリアンプ 12 に接続され、ブリアンプ 12 の出力端子 9 には負極性の映像信号が時系列に読み出されるようになっている。

【0005】また、行ライン 2-1, 2-2, ... 2-M は垂直走査回路 10 に接続して、それぞれ信号 $\phi G_1, \phi G_2, \dots \phi G_M$ を印加し、列選択用スイッチトランジスタ 4-1, 4-2, ... 4-N 及び反選択用スイッチトランジスタ 5-1, 5-2, ... 5-N のゲート端子は、水平走査回路 11 に接続して、それぞれ信号 $\phi S_1, \phi S_2, \dots \phi S_N$ 及び各々の反転信号を印加する。なお、図示しないが各 CMD は同一基板上に形成され、その基板には基板電圧 V_{SUB} を印加するようになっている。

【0006】図 8 は、図 7 に示した CMD 撮像素子を用いた固体撮像装置の動作を説明するための信号波形図である。垂直走査回路 10 の作動により、行ライン 2-1, 2-2, ... 2-M に印加される信号 $\phi G_1, \phi G_2, \dots \phi G_M$ は、読み出し電圧 V_{RD} 、リセット電圧 V_{RST} 、オーバーフロー電圧 V_{OF} 、及び蓄積電圧 V_{INT} よりなり、非選択行においては映像信号の水平有効期間中は蓄積電圧 V_{INT} 、水平帰線期間中はオーバーフロー電圧 V_{OF} となり、選択行においては映像信号の水平有効期間中は読み出し電圧 V_{RD} 、水平帰線期間中はリセット電圧 V_{RST} となる。なお、前記オーバーフロー電圧 V_{OF} については、特開昭 61-136388 号公報に、更に詳細に説明されている。

【0007】一方、水平走査回路 11 の作動により列選択

3

用スイッチトランジスタ4-1, 4-2, ... 4-Nのゲート端子に印加される信号 $\phi S1$, $\phi S2$, ... ϕSN は、列ライン3-1, 3-2, ... 3-Nを選択するための信号で、低レベルは列選択用スイッチトランジスタ4-1, 4-2, ... 4-Nをオフ、反選択用スイッチトランジスタ5-1, 5-2, ... 5-Nをオン、高レベルは列選択用スイッチトランジスタ4-1, 4-2, ... 4-Nをオン、反選択用スイッチトランジスタ5-1, 5-2, ... 5-Nをオフする電圧値になるように設定され、選択行に読み出し電圧VRDが印加されている期間に、列選択用スイッチトランジスタ4-1, 4-2, ... 4-Nを順次オンし、各CMD画素の光信号を信号線6により順次読み出し、プリアンプ12で信号電流を電圧変換して出力している。図9はプリアンプ12の出力端子9から出力される1行分のビデオ信号を表しており、受光画素の信号の出力期間 t_r に引き続いて遮光画素の信号が出力期間 t_b に読み出されることを示している。

【0008】なお、図7中 ϕHST , $\phi H1$, $\phi H2$ は、水平走査回路11を駆動するためのスタート信号及びクロック信号を示している。また、 ϕVST , $\phi V1$, $\phi V2$ は、垂直走査回路10を駆動するためのスタート信号及びクロック信号を示しており、 $V1$, $V2$, $V3$ は、それぞれCMD画素のゲートに印加する読み出し電圧VRD、リセット電圧VRST、オーバーフロー電圧VOFを与える入力電圧を示している。

【0009】

【発明が解決しようとする課題】ところで、図9に示したビデオ信号において、基準黒レベルを設定する一般的な回路として、図10に等価的に示すようなクランプ回路がある。このクランプ回路は、入出力間にコンデンサ21を直列に挿入し、その出力端と基準電位GNDの間に、抵抗22とスイッチ素子23とクランプ電源24を直列に接続して構成した回路であり、前記スイッチ素子23を前記ビデオ信号の遮光画素信号出力期間 t_b 内にオン、受光画素信号出力期間 t_r にオフさせることにより、遮光画素信号出力の直流電圧レベルを前記クランプ電源24の電圧値VCLにホールドするものである。また、このクランプ回路の遮光画素出力変化に対するレスポンスは、前記コンデンサ21の容量値Cと前記抵抗22の抵抗値Rの直列回路の時定数で決まる。

【0010】一方、図7に示す固体撮像装置から出力される遮光画素の信号には、暗電流やCMD撮像素子のトランジスタ特性のバラツキが含まれる。したがって、前記クランプ回路によって基準黒レベルを設定するとき、前記時定数を小さく設定すると、遮光画素出力信号のバラツキの影響を受け、前記ビデオ信号をモニタに出力したとき、横筋が見えるという不具合が生じる。この不具合を回避するためには、時定数を大きく設定すればよいが、そのためには、クランプ期間を長くとり、即ち、水

4

平遮光画素数を多く設定する必要があり、チップサイズを増大させる原因となる。

【0011】本発明は、従来の固体撮像装置における上記問題点を解消するためになされたもので、チップサイズを増大させることなくバラツキが小さい基準黒レベルを出力させる固体撮像装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記問題点を解決するため、請求項1記載の発明は、半導体層の表面に該表面と平行にソース・ドレイン電流が流れるようにソース領域及びドレイン領域を形成すると共に、該ソース領域とドレイン領域間の半導体層の表面に絶縁層を介してゲート電極を設けて構成した電荷変調素子を画素とし、該画素をマトリクス状に多数配列し、該配列した画素群の一部の複数の列の画素を遮光した画素アレイと、該画素アレイの各画素をソース・ゲート選択方式により順次選択して画素信号を読み出す走査手段とを備えた固体撮像装置において、前記遮光した画素に接続された複数の列ラインを、該列ラインにそれぞれ接続される列選択用スイッチトランジスタの第1の主電極の直前で共通に接続し、該列選択用スイッチトランジスタの第2の主電極は、1個を除き出力信号の基準電位に接続し、前記除いた1個の第2の主電極は信号出力線に接続し、且つ前記遮光した画素に接続された複数の列ラインにそれぞれ接続された列選択用スイッチトランジスタのすべての制御端子を共通に接続し、該制御端子に遮光画素選択用列選択パルスを印加することによって遮光画素の信号出力を得るように構成するものである。

【0013】次に、このように構成した固体撮像装置の主要部の構成、及びその構成に基づいて得られる遮光画素の信号出力について、図1に示す概略図を用いて説明する。図1において、列ライン3-K, 3-(K+1), ... 3-(K+L)は遮光されたCMD撮像素子で構成された画素の列ラインであり、列選択用スイッチトランジスタ4-K, 4-(K+1), ... 4-(K+L)に接続される直前において、接続線13によって共通に接続されている。更に、列ライン3-Kについては、列選択用スイッチトランジスタ4-Kを介して信号線6に接続されており、他の列ライン3-K(K+1), 3-(K+2), ... 3-(K+L)は、それぞれ列選択用スイッチトランジスタ4-K(K+1), 4-(K+2), ... 4-(K+L)を介して、基準電位GNDに接地されたレファレンス・ライン7にそれぞれ共通に接続されている。前記信号線6は従来例と同様に、仮想接地された電流-電圧変換プリアンプ12に接続されている。

【0014】このように構成された固体撮像装置において、列選択パルス ϕSK が高レベルとなり、列選択用スイッチトランジスタ4-K, 4-(K+1), ... 4

5

— (K+L) がオンすると、選択された行の遮光画素の信号電流は、列ライン 3-K, 3-(K+1), … 3-(K+L) を流れ、接続線 13 によってこれらは加算される。この加算電流は列選択用スイッチトランジスタ 4-K, 4-(K+1), … 4-(K+L) を介して、信号ライン 6 及びレファレンス・ライン 7 に流れる。このとき、前記列ライン 3-K, 3-(K+1), … 3-(K+L) からみた出力インピーダンスは、すべて同じであるから、信号線 6 には、列ライン 3-K, 3-(K+1), … 3-(K+L) に流れる遮光画素の出力信号の和の $1/(L+1)$ の電流が流れる。即ち、列選択パルス ϕSK が高レベルの期間、選択行の遮光画素の平均信号電流を得ることができる。

【0015】以上説明したように、上記のように構成された固体撮像装置においては、1 行に配設される遮光画素の数によらず、その平均出力を選択期間に得ることができる。また、1 行に配設される遮光画素の数は、平均することによってそのバラツキをキャンセルできる程度の数でよく、従来例のように、クランプ回路の特定数期間に選択される画素数分必要としないことから、遮光画素の数を削減することができ、ひいてはチップサイズを縮小することが可能となる。

【0016】また、請求項 2 記載の発明は、請求項 1 記載の固体撮像装置において、前記遮光画素選択用列選択パルスは、水平走査回路より受光画素選択用列選択パルスと連続して出力され、該受光画素選択用列選択パルスと同じパルス幅をもつように構成するものである。これにより、基準黒レベルとなる遮光画素の信号読み出し期間を 1 画素選択期間に短縮することができる。また、請求項 3 記載の発明は、請求項 1 記載の固体撮像装置において、前記遮光画素選択用列選択パルスは、水平走査回路より受光画素選択用列選択パルスと連続して出力され、前記遮光画素選択用列選択パルスの幅を任意の期間に設定するための水平走査制御手段を設けるものである。これにより、1 行に構成される遮光画素の数によらず、基準黒レベルを設定する手段の要求に応じた期間だけ遮光画素信号の平均レベルを出力することができる。

【0017】

【実施例】次に実施例について説明する。図 2 は、本発明に係る固体撮像装置の第 1 実施例を示す回路構成図であり、図 7 に示した従来例と同じ構成要素には同一符号を付して示している。この実施例においては、各画素を構成する CMD 1-11, 1-12, … 1-MN をマトリクス状に配列し、その各ドレインには共通にバイアス V D (>0) を印加する。前記マトリクスの構成は水平 N 個×垂直 M 個で、そのうち水平 5 個から N 個までの画素は遮光されている。X 方向に配列された CMD 群のゲート端子は、行ライン 2-1, 2-2, … 2-M にそれぞれ接続し、Y 方向に配列された CMD 群のソース端子は、列ライン 3-1, 3-2, … 3-N にそれぞ

6

れ接続する。上記列ライン 3-1, 3-2, … 3-N のうち受光画素に接続されている 3-1, 3-2, … 3-4 は、それぞれ列選択用スイッチトランジスタ 4-1, 4-2, … 4-4 及び反選択用スイッチトランジスタ 5-1, 5-2, … 5-4 を介して、信号線 6 及び基準電位 GND に接地されたレファレンス・ライン 7 に、それぞれ共通に接続されている。

【0018】一方、上記列ライン 3-1, 3-2, … 3-N のうち遮光画素に接続されている列ライン 3-5, 3-6, … 3-N は、列選択用スイッチトランジスタ 4-5, 4-6, … 4-N 及び反選択用スイッチトランジスタ 5-5, 5-6, … 5-N に接続される直前において、接続線 13 によって共通に接続され、更に列選択用スイッチトランジスタ 4-5 を介して信号線 6 に接続され、また列選択用スイッチトランジスタ 4-6, … 4-N 及び反選択用スイッチトランジスタ 5-5, 5-6, … 5-N を介して、基準電位 GND に接地されたレファレンス・ライン 7 に、共通に接続されている。信号線 6 は入力が仮想接地された電流-電圧変換型のプリアンプ 12 に接続し、プリアンプ 12 の出力端子 9 から負極性の映像信号を時系列に読み出すよう構成されている。

【0019】また、行ライン 2-1, 2-2, … 2-M は垂直走査回路 10 に接続して、それぞれ信号 $\phi G 1$, $\phi G 2$, … $\phi G M$ を印加し、列選択用スイッチトランジスタ 4-1, 4-2, … 4-N 及び反選択用スイッチトランジスタ 5-1, 5-2, … 5-N のゲート端子のうち、受光画素に接続されている列ライン 3-1, 3-2, … 3-4 に接続されている列選択用スイッチトランジスタ 4-1, 4-2, … 4-4 及び反選択用スイッチトランジスタ 5-1, 5-2, … 5-4 は、水平走査回路 11 に接続して、それぞれ信号 $\phi S 1$, $\phi S 2$, … $\phi S 4$ 及び各々の反転信号を印加する。一方、遮光画素に接続されている列ライン 3-5, 3-6, … 3-N に接続されている列選択用スイッチトランジスタ 4-5, 4-6, … 4-N 及び反選択用スイッチトランジスタ 5-5, 5-6, … 5-N は、水平走査回路 11 に接続して、共通に信号 $\phi S 5$ 及びその反転信号を印加する。なお、図示しないが各 CMD は同一基板上に形成され、その基板には基板電圧 V SUB を印加するように構成されている。

【0020】本実施例の固体撮像装置の動作を説明するための信号波形は、図 8 に示した従来例の信号波形と全く同じであるので、図 8 に示した信号波形図を用いて、本実施例の信号読み出し動作について説明する。行ラインが選択され、列選択パルス $\phi S 1$, $\phi S 2$, … $\phi S 4$ が順次高レベルとなることにより、受光画素の信号が読み出され、引き続いて列選択パルス $\phi S 5$ が高レベルになると、列選択用スイッチトランジスタ 4-5, 4-6, … 4-N がオンし、選択された行の遮光画素

7

の信号電流は列ライン 3-5, 3-6, ... 3-N を流れ、接続線 13 によってこれらは加算される。この加算電流は、列選択用スイッチトランジスタ 4-5, 4-6, ... 4-N を介して、信号線 6 及びレファレンス・ライン 7 に流れる。このとき、前記列ライン 3-5, 3-6, ... 3-N からみた出力インピーダンスは全て同じであるから、信号線 6 には前記列ラインに流れる遮光画素の出力信号の和の $1/(n-4)$ の電流が流れる。即ち、列選択パルス $\phi S5$ が高レベルの期間、選択行の遮光画素の平均信号電流を得ることができる。図 3 は以上説明したプリアンプ 12 の出力端子 9 から出力される 1 行分のビデオ信号を表している。

【0021】このように構成された固体撮像装置においては、1 行に配設される遮光画素の数によらず、基準黒レベルとなる遮光画素の信号読み出し期間を 1 画素選択期間に短縮することができる。即ち、基準黒レベルを設定する手段として従来例で示したクランプ回路を用いたとき、該クランプ回路の時定数を短く設定しても、遮光画素信号のバラツキの影響は回避することができる。また、1 行に配設される遮光画素の数は、平均することによってそのバラツキをキャンセルできる程度の数だけでよく、従来例のように、クランプ回路の時定数期間に選択される画素数分必要としないので、遮光画素の数を削減することができる。

【0022】次に、本発明の第 2 実施例について説明する。図 4 は第 2 実施例を示す回路構成図で、図 2 に示した第 1 実施例と同一の構成要素には同一の符号を付して示し、その説明を省略する。第 1 実施例と相違する部分は、水平走査回路 11 に印加するクロックパルス $\phi H1$, $\phi H2$ が、水平走査制御回路 14 を介して印加されるように構成されている点である。本実施例の動作は、行ラインが選択され、水平走査回路 11 が列選択パルス $\phi S4$ を出力するまでは、第 1 実施例と全く同じである。

【0023】次に、水平走査回路 11 が列選択パルス $\phi S5$ を出力する動作を、図 5 の信号波形図を用いて説明する。列選択パルス $\phi S5$ が出力されると、前記水平走査制御回路 14 は水平走査クロックパルス $\phi H1$ の出力を停止する。これによりこの間、列選択パルス $\phi S5$ は高レベルにホールドされ、前記水平走査制御回路 14 が水平走査クロックパルス $\phi H1$ の出力を再開させると、これに同期して列選択パルス $\phi S5$ は低レベルになる。即ち、第 1 実施例と動作上で相違する点は、平均化された遮光画素の信号が出力される期間が、水平走査制御回路 14 の動作によって決まる点である。

【0024】このように構成された固体撮像装置においては、1 行に配設される遮光画素の数によらず、基準黒レベルとなる遮光画素の信号読み出し期間を、水平走査制御回路が設定する任意の時間に設定することができる。即ち、図 6 に示すように、基準黒レベルを設定する手段の要求に応じた期間だけ、遮光画素信号の平均レベ

8

ルを出力することができる。

【0025】なお、本実施例においては、水平走査の制御方法として水平走査クロックパルス $\phi H1$ のみを制御したものを示したが、水平走査クロックパルス $\phi H2$ の制御でもよく、また、両方を制御してもよいことは言うまでもない。

【0026】また上記 2 つの実施例においては、遮光画素列は時間的に受光画素列が選択された後に選択される位置に配置したものを示したが、受光画素列が選択される前に選択される位置に遮光画素列を配置しても、それぞれの実施例の効果が変わることはないことは言うまでもない。

【0027】

【発明の効果】以上実施例に基づいて説明したように、請求項 1 記載の発明によれば、1 行に配設される遮光画素の数によらず、その平均出力を選択期間に得ることができる。また、1 行に配設される遮光画素の数は、平均することによってそのバラツキをキャンセルできる程度の数だけでよく、従来例のように、クランプ回路の時定数期間に選択される画素数分必要としないので、遮光画素の数を削減することができ、ひいてはチップサイズを縮小することができる。また、請求項 2 記載の発明によれば、基準黒レベルとなる遮光画素の信号読み出し期間を 1 画素選択期間に短縮することができる。また、請求項 3 記載の発明によれば、水平走査クロックパルスを制御するための水平走査制御手段により、1 行に構成される遮光画素の数によらず、基準黒レベルを設定する手段の要求に応じた期間だけ、遮光画素信号の平均レベルを出力することができる。

【図面の簡単な説明】

【図 1】本発明に係る固体撮像装置を説明するための主要部の構成を示す概略図である。

【図 2】本発明の第 1 実施例を示す回路構成図である。

【図 3】図 2 に示した第 1 実施例における 1 行分の出力ビデオ信号を示す図である。

【図 4】本発明の第 2 実施例を示す回路構成図である。

【図 5】図 4 に示した第 2 実施例の動作を説明するための信号波形図である。

【図 6】図 4 に示した第 2 実施例における 1 行分の出力ビデオ信号を示す図である。

【図 7】従来の固体撮像装置の構成例を示す回路構成図である。

【図 8】図 7 に示した従来の固体撮像装置の動作を説明するための信号波形図である。

【図 9】図 7 に示した従来の固体撮像装置における 1 行分の出力ビデオ信号を示す図である。

【図 10】基準黒レベルを設定するために用いるクランプ回路の等価回路を示す図である。

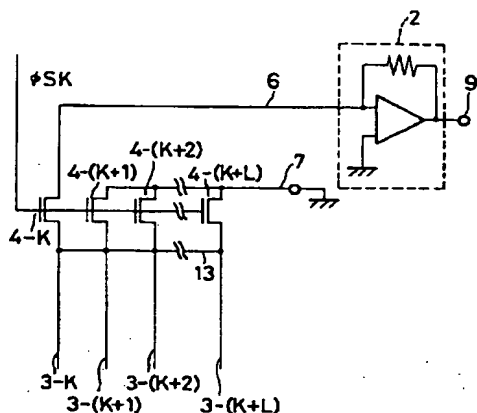
【符号の説明】

1-11, 1-12, ... 1-MN CMD 画素

- 2-1, 2-2, ... 2-M 行ライン
 3-1, 3-2, ... 3-N 列ライン
 4-1, 4-2, ... 4-N 列選択用スイッチトランジスタ
 5-1, 5-2, ... 5-N 反列選択用スイッチトランジスタ
 6 信号線

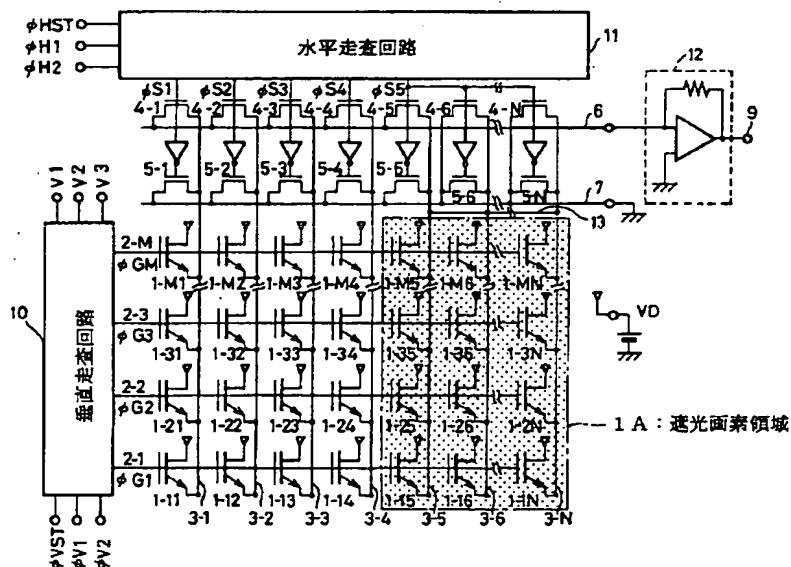
- * 7 レファレンス・ライン
 9 出力端子
 10 垂直走査回路
 11 水平走査回路
 12 プリアンプ
 13 接続線
 * 14 水平走査制御回路

【図 1】

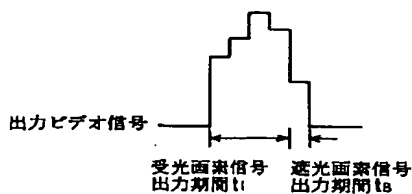


- 3-K, 3-(K+1) ... 3-(K+L): 列ライン
 4-K, 4-(K+1) ... 4-(K+L): 列選択用スイッチトランジスタ
 6: 信号線
 7: レファレンス・ライン
 9: 出力端子
 12: 電流-電圧変換プリアンプ
 13: 接続線

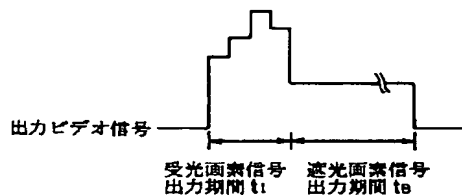
【図 2】



【図 3】



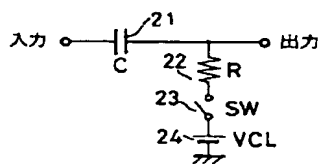
【図 6】



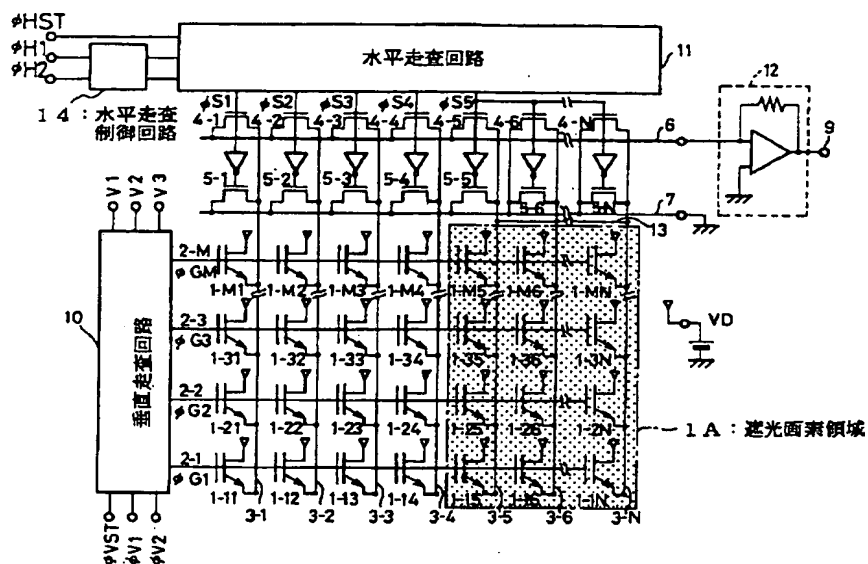
【図 9】



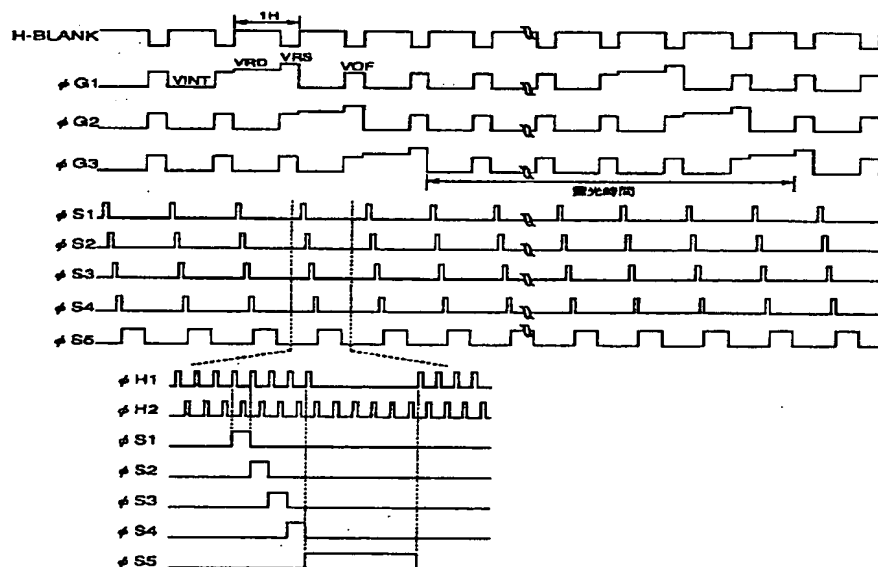
【図 10】



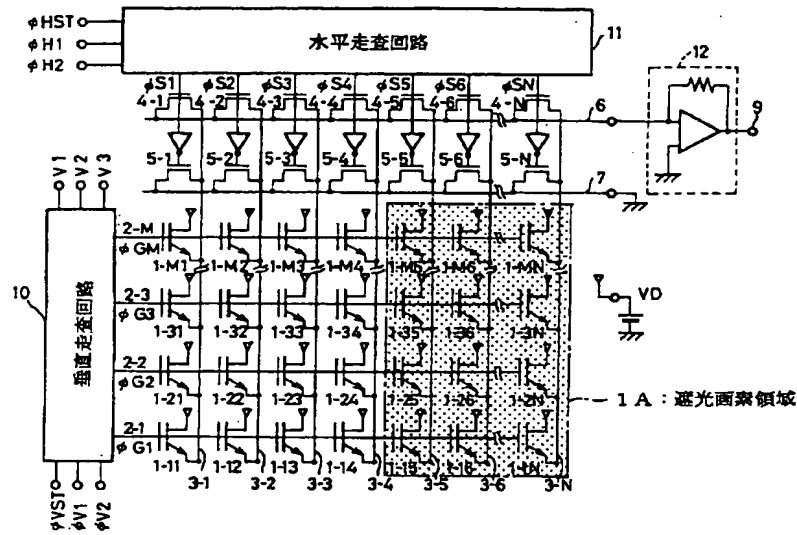
【図4】



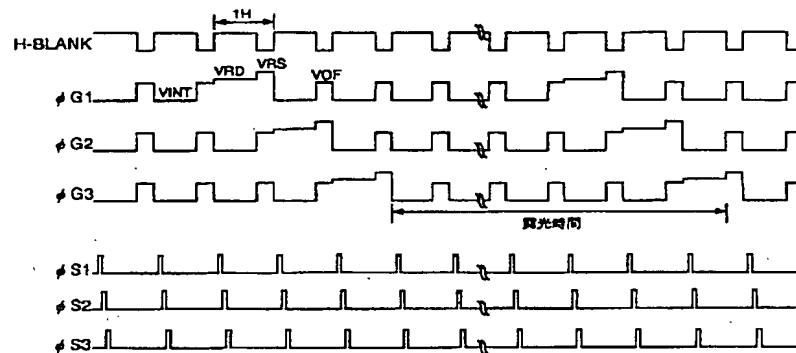
【図5】



【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.